

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images,
please do not report the images to the
Image Problem Mailbox.**



PATENT ABSTRACTS OF JAPAN

(11) Publication number: **11355664 A**(43) Date of publication of application: **24.12.99**

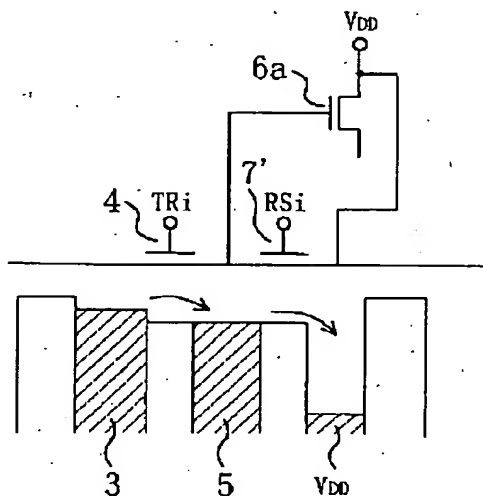
(51) Int. Cl.

**H04N 5/335
// H01L 27/146**(21) Application number: **10156982**(71) Applicant: **MATSUSHITA ELECTRON CORP**(22) Date of filing: **05.06.98**(72) Inventor: **MASUYAMA MASAYUKI****(54) SOLID-STATE IMAGE PICKUP DEVICE AND
DRIVING METHOD THEREFOR****(57) Abstract:**

PROBLEM TO BE SOLVED: To suppress blooming by simple constitution.

SOLUTION: Respective picture elements are provided with a photodiode 3 for storing electric charges generated by photoelectric conversion and a transfer gate 4 and a reset element 7 for changing the height of an electric barrier present between an information storage part 3 and a power source (VDD) corresponding to control signals. A row selection circuit supplies biased output TRi and RSi to the transfer gate 4 and the reset element 7 as the control signals. Since the control signals are biased, the transfer gate 4 and the reset element 7 are not turned to a complete OFF state and excessive electric charges are discharged to the power source.

COPYRIGHT: (C)1999,JPO



(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平11-355664

(43) 公開日 平成11年(1999)12月24日

(51) Int.Cl.⁶

H 0 4 N 5/335

識別記号

F I

H 0 4 N 5/335

F

E

A

// H 0 1 L 27/146

H 0 1 L 27/14

審査請求 未請求 請求項の数19 O L (全 14 頁)

(21) 出願番号

特願平10-156982

(22) 出願日

平成10年(1998)6月5日

(71) 出願人 000005843

松下電子工業株式会社

大阪府高槻市幸町1番1号

(72) 発明者 梶山 雅之

大阪府高槻市幸町1番1号 松下電子工業

株式会社内

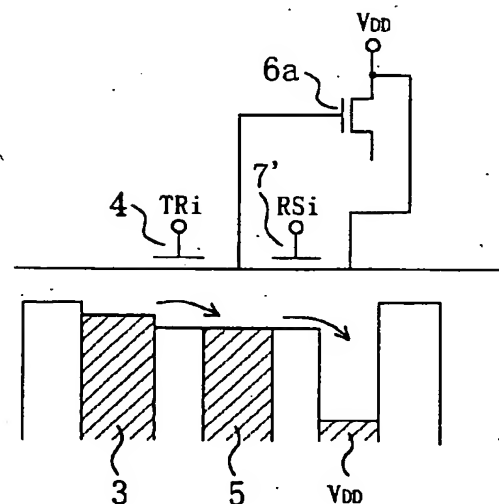
(74) 代理人 弁理士 前田 弘 (外2名)

(54) 【発明の名称】 固体撮像装置およびその駆動方法

(57) 【要約】

【課題】 簡単な構成でブルーミングを抑制する。

【解決手段】 各画素は、光電変換によって生成した電荷を蓄積するフォトダイオード3と、制御信号に応じて情報蓄積部3と電源(V_{DD})との間に存在する電氣的障壁の高さを変化させる転送ゲート4およびリセット素子7とを有する。行選択回路は、バイアスされた出力TR_i、RS_iを制御信号として転送ゲート4およびリセット素子7に供給する。制御信号がバイアスされているため、転送ゲート4およびリセット素子7は完全なOFF状態にならず、過剰電荷を電源に放出させる。



TR_i:OFF(Bias),
RS_i:OFF(Bias)

【特許請求の範囲】

【請求項 1】 行列状に配列された複数の画素を有する撮像部と、前記複数の画素から少なくともひとつの画素を選択する周辺回路とを備えた固体撮像装置であって、前記画素は、

光電変換によって電荷を生成し、蓄積する光電変換部と、

前記光電変換部から読み出された電荷を蓄積する検出部と、

前記光電変換部と前記検出部との間にあって前記光電変換部から前記検出部へ前記電荷を読み出す転送電極と、

前記検出部の電位変化を検知する増幅素子と、

前記検出部に蓄積された電荷を電源供給部に排出し前記検出部の電位をリセットするリセット電極とを具備し、

前記周辺回路は、前記転送電極に印加することによって前記転送電極下の第 1 の電氣的障壁の高さを制御する第 1 の制御信号と、前記リセット電極に印加することによって前記リセット電極下の第 2 の電氣的障壁の高さを制御する第 2 の制御信号とを生成する選択回路を有してお

り、

前記選択回路は、第 1 の電源電位および前記第 1 の電源電位よりも低い第 2 の電源電位を受け取ることによって動作する複数段のインバータを含み、前記複数段のインバータのうちの最終段のインバータがバイアスされた出力信号を発生し、前記出力信号を前記第 1 の制御信号および前記第 2 の制御信号とする固体撮像装置。

【請求項 2】 行列状に配列された複数の画素を有する撮像部と、前記複数の画素から少なくともひとつの画素を選択する周辺回路とを備えた固体撮像装置であって、前記画素は、

光電変換によって電荷を生成し、蓄積する光電変換部と、

前記光電変換部の電位変化を検知する増幅素子と、

前記光電変換部に蓄積された電荷を電源供給部に排出し前記光電変換部の電位をリセットするリセット電極とを具備し、

前記周辺回路は、前記リセット電極に印加することによって前記リセット電極下の電氣的障壁の高さを制御する制御信号を生成する選択回路を有しており、

前記選択回路は、第 1 の電源電位および前記第 1 の電源電位よりも低い第 2 の電源電位を受け取ることによって動作する複数段のインバータを含み、前記複数段のインバータのうちの最終段のインバータがバイアスされた出力信号を発生し、前記出力信号を前記制御信号とする固体撮像装置。

【請求項 3】 光電変換によって生成した電荷を蓄積する情報蓄積部と、

制御信号に応じて前記情報蓄積部と電源供給部との間に存在する電氣的障壁の高さを変化させ、それによって前記情報蓄積部に蓄積された前記電荷を前記電源供給部に

放出させることができるリセット素子と、を有する複数の画素、および前記複数の画素から少なくともひとつの画素を選択する周辺回路、を備えた固体撮像装置であって、

前記周辺回路は、前記制御信号を生成する選択回路を有し、

前記選択回路は、第 1 の電源電位および前記第 1 の電源電位よりも低い第 2 の電源電位を受け取ることによって動作する複数段のインバータを含み、前記複数段のインバータのうちの最終段インバータがバイアスされた出力を発生し、前記バイアスされた出力を前記制御信号として前記リセット素子に供給する固体撮像装置。

【請求項 4】 前記情報蓄積部は、光電変換素子を含んでいる請求項 3 に記載の固体撮像装置。

【請求項 5】 前記選択回路の前記最終段インバータは、エンハンスメント型 N チャンネル MOS トランジスタとデプレッション型 P チャンネル MOS トランジスタとを含む CMOS インバータである請求項 3 または 4 に記載の固体撮像装置。

【請求項 6】 前記最終段インバータが受け取る第 1 の電源電位は、前記最終段以外のインバータが受け取る第 1 の電源電位よりも高い請求項 3 または 4 に記載の固体撮像装置。

【請求項 7】 前記最終段インバータが受け取る第 2 の電源電位は、前記最終段以外のインバータが受け取る第 2 の電源電位よりも高い請求項 3 または 4 に記載の固体撮像装置。

【請求項 8】 前記最終段インバータが受け取る第 1 の電源電位は、選択された期間だけ、前記最終段以外のインバータが受け取る第 3 の電源電位よりも高い請求項 3 または 4 に記載の固体撮像装置。

【請求項 9】 前記選択された期間は、水平ブランキング期間に含まれる請求項 8 に記載の固体撮像装置。

【請求項 10】 前記最終段インバータは、N チャンネル MOS トランジスタと P チャンネル MOS トランジスタとを含む CMOS インバータである請求項 6 から 9 の何れかに記載の固体撮像装置。

【請求項 11】 前記複数の画素の各々は、前記光電変換素子と前記リセット素子との間に配置された転送電極を有し、

前記転送電極は、他の制御信号に応じて前記転送電極の下に存在する電氣的障壁の高さを変化させ、それによって前記光電変換素子に蓄積された電荷を前記電源供給部に放出させることができる請求項 4 に記載の固体撮像装置。

【請求項 12】 前記選択回路は、前記第 1 の電源電位および前記第 2 の電源電位を受け取ることによって動作する他の複数段のインバータを含み、前記他の複数段のインバータのうちの最終段インバータがバイアスされた出力を発生し、前記バイアスされた出力を前記他の制御

信号として前記転送ゲートに供給する請求項11に記載の固体撮像装置。

【請求項13】 前記選択回路の前記他の最終段インバータは、エンハンスメント型NチャンネルMOSトランジスタとデプレッション型PチャンネルMOSトランジスタを含むCMOSインバータである請求項12に記載の固体撮像装置。

【請求項14】 前記他の最終段インバータが受け取る第1の電源電位は、前記最終段以外のインバータが受け取る第1の電源電位よりも高い請求項3または4に記載の固体撮像装置。

【請求項15】 前記他の最終段インバータが受け取る第2の電源電位は、前記最終段以外のインバータが受け取る第2の電源電位よりも高い請求項12に記載の固体撮像装置。

【請求項16】 前記他の最終段インバータが受け取る第1の電源電位は、選択された期間だけ、前記最終段以外のインバータが受け取る第3の電源電位よりも高い請求項12に記載の固体撮像装置。

【請求項17】 前記選択された期間は、水平ブランキング期間に含まれる請求項16に記載の固体撮像装置。

【請求項18】 請求項3から9の何れかに記載の固体撮像装置の駆動方法であって、光電変換によって電荷を生成し、前記情報蓄積部に蓄積させる工程と、前記選択回路で発生させた制御信号のレベルをパルス的に増大させることによって、前記情報蓄積部内の電荷を前記リセット素子を介してリセットする工程と、を包含する駆動方法。

【請求項19】 請求項12から17の何れかに記載の固体撮像装置の駆動方法であって、光電変換によって電荷を生成し、前記光電変換素子に蓄積させる工程と、前記選択回路で発生させた制御信号のレベルをパルス的に増大させることによって、前記転送電極と前記リセット素子との間に存在する電荷を前記リセット素子を介してリセットする工程と、前記選択回路で発生させた他の制御信号のレベルをパルス的に増大させることによって、前記光電変換素子内の電荷を前記転送ゲートを介して前記転送電極と前記リセット素子との間に移動させる工程と、を包含する駆動方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は、固体撮像装置およびその駆動方法に関する。

【0002】

【従来の技術】 撮像部に複数の光電変換素子（フォトダイオードなど）をマトリクス状に配列した固体撮像装置にはCCD型とは別にMOS型がある。MOS型撮像

装置の場合でも、CCD型撮像装置の場合と同様に、ブルーミング現象が生じうる。

【0003】 次に、図18(a)および(b)を参照しながら、ブルーミング現象をより詳細に説明する。図18(a)は、あるひとつの画素内のフォトダイオードやトランジスタが形成されている半導体表面近傍の断面を模式的に示している。図18(b)は、図18(a)に示されている領域の半導体表面の電位分布を示している。

【0004】 図18(a)に示されるように、画素内には、光電変換素子3、転送ゲート4のゲート電極およびリセットトランジスタ7のゲート電極が形成されている。図示されている画素内の光電変換素子3と、不図示の隣接画素内の光電変換素子部および検出部を含むトランジスタ部とは、例えば基板不純物濃度よりも高い不純物濃度を持つ拡散層（チャネルストップ領域）やLOCOSによって分離されている。このような画素構成において、入射光量に応じて光電変換素子3で形成された信号電荷は、転送ゲート4を通して検出部5に転送され、次にリセットトランジスタ7を介して電源(VDD)に排出される。

【0005】 しかしながら、転送ゲート4およびリセットトランジスタ7が非導通状態にあるべき期間においても、図18(b)に示されるように、光電変換素子3に強い光が入射し、光電変換素子3で蓄積できる最大電荷量以上の電荷が形成されると、電荷は光電変換素子3からあふれだす。その結果、あふれ出た電荷は、転送ゲート4およびチャネルストップ領域を通して、検出部や隣接画素内の光電変換素子部等へ流出してしまう。この現象は、CCDイメージセンサの分野において「ブルーミング」と呼ばれる現象と同様の現象である。増幅型固体撮像装置においても、ブルーミングが生じると、撮像画像に白い帯状または白い円状パターンが観察され、画質が劣化する。ブルーミングを抑制するため、種々のオーバフロードレイン構造を半導体基板内の撮像部に設けた固体撮像装置が開発されている。

【0006】

【発明が解決しようとする課題】 しかしながら、半導体基板内の撮像部に特別にオーバフロードレイン構造を設けることは製造工程を複雑化するという問題や、各光電変換素子の小型化が困難になるという問題がある。また、オーバフロードレイン動作のための特別な制御信号を形成し、印加する必要が生じる。

【0007】 本発明は斯かる諸点に鑑みてなされたものであり、その主な目的は、簡単な構造でブルーミングを抑制できる固体撮像装置およびその駆動方法を提供することにある。

【0008】

【課題を解決するための手段】 本発明による固体撮像装置は、行列状に配列された複数の画素を有する撮像部

と、前記複数の画素から少なくともひとつの画素を選択する周辺回路とを備えた固体撮像装置であって、前記画素は、光電変換によって電荷を生成し、蓄積する光電変換部と、前記光電変換部から読み出された電荷を蓄積する検出部と、前記光電変換部と前記検出部との間にあって前記光電変換部から前記検出部へ前記電荷を読み出す転送電極と、前記検出部の電位変化を検知する増幅素子と、前記検出部に蓄積された電荷を電源供給部に排出し前記検出部の電位をリセットするリセット電極とを具備し、前記周辺回路は、前記転送電極に印加することによって前記転送電極下の第1の電氣的障壁の高さを制御する第1の制御信号と、前記リセット電極に印加することによって前記リセット電極下の第2の電氣的障壁の高さを制御する第2の制御信号とを生成する選択回路を有しており、前記選択回路は、第1の電源電位および前記第1の電源電位よりも低い第2の電源電位を受け取ることによって動作する複数段のインバータを含み、前記複数段のインバータのうちの最終段のインバータがバイアスされた出力信号を発生し、前記出力信号を前記第1の制御信号および前記第2の制御信号とする。

【0009】本発明による他の固体撮像装置は、行列状に配列された複数の画素を有する撮像部と、前記複数の画素から少なくともひとつの画素を選択する周辺回路とを備えた固体撮像装置であって、前記画素は、光電変換によって電荷を生成し、蓄積する光電変換部と、前記光電変換部の電位変化を検知する増幅素子と、前記光電変換部に蓄積された電荷を電源供給部に排出し前記光電変換部の電位をリセットするリセット電極とを具備し、前記周辺回路は、前記リセット電極に印加することによって前記リセット電極下の電氣的障壁の高さを制御する制御信号を生成する選択回路を有しており、前記選択回路は、第1の電源電位および前記第1の電源電位よりも低い第2の電源電位を受け取ることによって動作する複数段のインバータを含み、前記複数段のインバータのうちの最終段のインバータがバイアスされた出力信号を発生し、前記出力信号を前記制御信号とする固体撮像装置。

【0010】本発明による更に他の固体撮像装置は、光電変換によって生成した電荷を蓄積する情報蓄積部と、制御信号に応じて前記情報蓄積部と電源供給部との間に存在する電氣的障壁の高さを変化させ、それによって前記情報蓄積部に蓄積された前記電荷を前記電源供給部に放出させることができるリセット素子と、を有する複数の画素、および前記複数の画素から少なくともひとつの画素を選択する周辺回路を備えた固体撮像装置であって、前記周辺回路は、前記制御信号を生成する選択回路を有し、前記選択回路は、第1の電源電位および前記第1の電源電位よりも低い第2の電源電位を受け取ることによって動作する複数段のインバータを含み、前記複数段のインバータのうちの最終段インバータがバイアスされた出力を発生し、前記バイアスされた出力を前記制御

信号として前記リセット素子に供給する。

【0011】好ましい実施形態では、前記情報蓄積部が光電変換素子を含んでいる。

【0012】ある好ましい実施形態では、前記選択回路の前記最終段インバータは、エンハンスメント型NチャネルMOSトランジスタとデプレッション型PチャネルMOSトランジスタを含むCMOSインバータである。

【0013】他の好ましい実施形態では、前記最終段インバータが受け取る第1の電源電位は、前記最終段以外のインバータが受け取る第1の電源電位よりも高い。

【0014】他の好ましい実施形態では、前記最終段インバータが受け取る第2の電源電位は、前記最終段以外のインバータが受け取る第2の電源電位よりも高い。

【0015】他の好ましい実施形態では、前記最終段インバータが受け取る第1の電源電位は、選択された期間だけ、前記最終段以外のインバータが受け取る第3の電源電位よりも高い。

【0016】前記選択された期間は、水平ブランキング期間に含まれることが好ましい。

【0017】前記最終段インバータは、NチャネルMOSトランジスタとPチャネルMOSトランジスタを含むことが好ましい。

【0018】前記複数の画素の各々は、前記光電変換素子と前記リセット素子との間に配置された転送ゲートを有し、前記転送ゲートは、他の制御信号に応じて前記転送ゲートの下に存在する電氣的障壁の高さを変化させ、それによって前記光電変換素子に蓄積された電荷を前記電源供給部に放出させることができてもよい。

【0019】前記選択回路は、前記第1の電源電位および前記第2の電源電位を受け取ることによって動作する他の複数段のインバータを含み、前記他の複数段のインバータのうちの最終段インバータがバイアスされた出力を発生し、前記バイアスされた出力を前記他の制御信号として前記転送ゲートに供給することが好ましい。

【0020】ある好ましい実施形態では、前記選択回路の前記他の最終段インバータは、エンハンスメント型NチャネルMOSトランジスタとデプレッション型PチャネルMOSトランジスタを含むCMOSインバータである。

【0021】他の好ましい実施形態では、前記他の最終段インバータが受け取る第1の電源電位は、前記最終段以外のインバータが受け取る第1の電源電位よりも高い。

【0022】他の好ましい実施形態では、前記他の最終段インバータが受け取る第2の電源電位は、前記最終段以外のインバータが受け取る第2の電源電位よりも高い。

【0023】他の好ましい実施形態では、前記他の最終段インバータが受け取る第1の電源電位は、選択された

期間だけ、前記最終段以外のインバータが受け取る第3の電源電位よりも高い。

【0024】前記選択された期間は、水平ブランキング期間に含まれることが好ましい。

【0025】本発明による固体撮像装置の駆動方法は、前記固体撮像装置の駆動方法であって、光電変換によって電荷を生成し、前記情報蓄積部に蓄積させる工程と、前記選択回路で発生させた制御信号のレベルをパルスの10に増大させることによって、前記情報蓄積部内の電荷を前記リセット素子を介してリセットする工程とを包含する。

【0026】本発明による他の固体撮像装置の駆動方法は、前記固体撮像装置の駆動方法であって、光電変換によって電荷を生成し、前記光電変換素子に蓄積させる工程と、前記選択回路で発生させた制御信号のレベルをパルスのに増大させることによって、前記転送ゲートと前記リセット素子との間に存在する電荷を前記リセット素子を介してリセットする工程と、前記選択回路で発生させた他の制御信号のレベルをパルスのに増大させることによって、前記光電変換素子内の電荷を前記転送ゲート20を介して前記転送ゲートと前記リセット素子との間に移動させる工程を包含する。

【0027】

【発明の実施の形態】以下、本発明の実施形態を図面に基づいて説明する。図1は、本発明による固体撮像装置の実施形態のブロック図を示している。

【0028】この装置は、複数の画素1が行および列状に配列された撮像部10と、撮像部10の外側に設けられた周辺回路部とを備えている。撮像部10や周辺回路部は、半導体集積回路製造技術と同様の技術を用いて単結晶シリコン等の半導体領域に形成される。図1では、簡単のため3行3列の画素1が示されているが、現実には、各行または各列には、数十から数千の画素が配置される。

【0029】各画素1は、図2に示すように、光を電荷に変換するとともに、その電荷を蓄積することのできる光電変換素子3と、光電変換素子3から電荷を受け取ることのできる検出部5と、光電変換素子3と検出部5との間に挿入され、所定の制御信号にตอบสนองして開閉する転送ゲート4とを有している。光電変換素子3は、例えば40フォトダイオードから構成される。光電変換素子3は、そこに入射した光の量に応じた量の電荷を発生させる。転送ゲート4が電気的に導通すると、光電変換素子3内に発生・保持されていた電荷が転送ゲート4を介して検出部5に移動し、その電荷の量に応じて検出部5の電位状態は第1の電位レベル（初期の電位レベル）から第2の電位レベルに遷移することになる。検出部5は寄生容量を持つか、または、寄生容量よりも大きな容量を持つ容量素子が特別に検出部5に付加されるため、図2には容量が図示されている。この容量が存在するため、転送50

ゲート4が電気的に非導通状態に戻った後も、検出部5は必要な期間、受け取った電荷を保持することができる。

【0030】各画素は、更に、検出部5の電位変化を検知するための増幅素子としてゲート電極が検出部5に接続されたMOS型トランジスタ6aを有している。このMOS型トランジスタ6aのドレインは、第1の電源（Vdd）に接続されており、そのソースは画素内のスイッチングトランジスタ6bを介して垂直信号出力線8に電気的に接続される。MOS型トランジスタ6aの電流駆動力は、そのゲート電極の電位、すなわち、検出部5の電位に依存する。スイッチングトランジスタ6bのゲート電極は制御信号（SLi）を受け取り、スイッチングトランジスタ6bは、その制御信号SLiにตอบสนองして開閉する。スイッチングトランジスタ6bが電気的に導通しているとき、第1の電源からMOS型トランジスタ6a、スイッチングトランジスタ6bおよび垂直信号出力線8を介して、不図示の負荷素子（例えば、ロードトランジスタ）に電流が流れる。本実施形態では、MOS型トランジスタ6aおよび負荷素子によってソースフォロワー回路が形成されるため、検出部5の電位に応じた大きさの信号電位が垂直信号出力線8上に現れることになる。この信号電位が選択列駆動部22の働きによって画素信号として出力される。

【0031】各画素は、更に、第1の電源（VDD）と検出部5との間に挿入され、そのゲート電極に受けたリセット信号にตอบสนองして検出部5の電位を第1の電源の電位レベルまたはそれに近い電位レベルに強制的に復帰させるリセットトランジスタ7を有している。リセットトランジスタ7が電気的に導通すると、それまで検出部5に保持されていた電荷はリセットトランジスタ7を介して第1の電源に流出する。その結果、検出部5の電位状態は初期のレベルに復帰させられる。

【0032】再び、図1を参照する。撮像部10の周辺に設けられた周辺回路部には、行選択エンコーダ41およびバッファ回路42と列選択エンコーダ21および選択列駆動部22とが含まれている。行選択エンコーダ41は、複数の行から任意の行を選択するために動作する。通常、行選択エンコーダ41または行選択シフトレジスタなどの行選択回路は、複数段のインバータ素子を内部に含んでいる。一般に、最終段におけるインバータ素子は大きな電流駆動力を発揮するトランジスタから形成される。本実施形態では、この最終段におけるインバータ素子が特徴的な機能を発揮するため、特別に、最手段のインバータ素子からなる群をバッファ回路42として抽出して図示している。なお、列選択エンコーダ21は、複数の列から任意の列を選択するために動作する。選択列駆動部22は、特定の垂直信号出力線8を共通の水平信号出力線に電気的に接続するためのスイッチング素子を含む回路である。本実施形態では、列選択のため

の回路には公知の回路構成を用いることができる。

【0033】次に、図3から図7を参照しながら、選択された画素に含まれる各トランジスタの動作と電荷の流れを説明する。図3から図7は、画素内のフォトダイオードトランジスタが形成されている半導体表面近傍での電荷および電位を模式的に示している。これらの図で、参照符号「7」にて示されている部材は、リセットトランジスタ7のゲート電極（リセットゲート）である。ここでは、リセットトランジスタ7のソースが検出部5として機能している。なお、リセットトランジスタ7のドレインは電源VDDに接続されている。

【0034】まず、光電変換素子3に信号電荷が蓄積されつつある信号蓄積モードを説明する。このモードでは、図3に示すように、転送ゲート4およびリセットトランジスタ7がいずれも非導通（OFF）状態にある。このため、光電変換素子3の電荷は検出部5から独立した状態にある。

【0035】次に、検出部5の電位状態がリセットされるリセットモード状態を説明する。図4に示すように、転送ゲート4は非導通（OFF）状態にあるが、リセットトランジスタ7は導通（ON）状態にある。このため、光電変換素子3の電荷は保持されたまま、検出部5の電荷は第1の電源（V_{dd}）に流出する。その結果、検出部5の電位状態は第1の電源によって決定される「第1の電位状態」に強制的に復帰する。

【0036】次に、信号読み出しモードを説明する。図5に示すように、転送ゲート4は導通状態になるが、リセットトランジスタ7は非導通（OFF）状態に戻る。このため、光電変換素子3で発生した信号電荷の全部または一部は検出部5に移動する。光電変換素子3から検出部5に移動する電荷の量は、信号読み出しの直前に光電変換素子3に蓄積されていた電荷の量と導通（ON）状態にある転送ゲート4のチャネル電位とに依存する。検出部5に移動した電荷は、駆動トランジスタのゲート電極の電位を変動させる。

【0037】次に、前述のブルーミング状態を詳細に説明する。図6に示すように、転送ゲート4およびリセットトランジスタ7はいずれも非導通状態にある。光電変換素子3で生成される電荷の量が多くなりすぎると、その電荷の一部が非導通の転送ゲート4を介して検出部5に流出し、また、画素分離領域を越えて隣接画素の光電変換素子な検出部内にも流出してしまう。こうして、隣接画素内にあふれ出た電荷は、ブルーミングの原因となる。

【0038】これに対して、本発明の固体撮像装置では、図7に示すように、転送ゲート4およびリセットトランジスタ7の各電極に印加する制御信号にバイアスを与え、それによって、転送ゲート4およびリセットトランジスタ7が「非導通状態」となるべき時においても、転送ゲート4およびリセットトランジスタ7のチャネル

電位（表面ポテンシャル）を画素分離領域の電位より低下させる。その結果、光電変換素子3内に生じた過剰な電荷が隣接画素にあふれ出すことを防止・抑制できる。

【0039】（第1実施形態）図8（a）および（b）を参照しながら、本発明による固体撮像装置の第1の実施形態を説明する。図8（a）は、行選択回路のi行の選択に関する主要部の構成を示している。ここで、iは1以上N以下の任意の整数であり、Nは2以上の整数とする。図8（a）では、便宜上、行選択回路と撮像部10との配置関係が図1に示す配置関係の反対（左右反対）になっている。なお、本願明細書では、行選択回路に含まれる複数段のインバータのうち、最終段（第x+2段）のインバータを「バッファ」と称し、その前段（第1段から第x+1段まで：xは0以上の整数）に位置するインバータとは区別する。

【0040】ひとつのバッファは、P型MOSトランジスタとN型MOSトランジスタとを有しており、P型MOSトランジスタのゲート電極とN型MOSトランジスタのゲート電極とは共通に接続され、バッファの入力部として機能する。一方、P型MOSトランジスタのドレインとN型MOSトランジスタのドレインとは共通に接続され、バッファの出力部として機能する。バッファの出力部は、撮像部10内の対応する行に含まれる画素に対して必要な制御信号を供給する。

【0041】第x+1段インバータは、P型MOSトランジスタとN型MOSトランジスタとを有しており、P型MOSトランジスタのゲート電極とN型MOSトランジスタのゲート電極とは共通に接続され、第x+1段インバータの入力部として機能する。一方、P型MOSトランジスタのソースとN型MOSトランジスタのドレインとは共通に接続され、第x+1段インバータの出力部として機能する。第x+1段インバータの出力部は、同一行に属するバッファの入力部に接続されている。これらの基本構成は、後述する他の実施形態においても同様である。本願明細書では、バッファの入力部に印加される入力信号をDO1と表記し、バッファの出力部から出力される出力信号をDO2と表記する。また、バッファのP型MOSトランジスタのソースに与えられる電位をVDD1と表記し、バッファのN型MOSトランジスタのソースに与えられる電位をVSS1と表記する。更に、前段インバータのP型MOSトランジスタに与えられる電位をVDDと表記し、前段インバータのN型MOSトランジスタに与えられる電位をVSSと表記する。

【0042】本実施形態では、バッファのP型MOSトランジスタがデプレッション型（例えば、しきい値電圧V_{tp}=1〜0ボルト）であり、N型MOSトランジスタは他のMOSトランジスタと同様にエンハンスメント型である。また、VDD1=VDD=3.3ボルトおよびVSS1=VSS=GND（接地レベル）とする。

【0043】バッファ内のP型MOSトランジスタがデ

プレッション型であるため、本来、P型MOSトランジスタを非導通(OFF)状態にするようなレベルの入力信号がバッファの入力部に印加されていても、P型MOSトランジスタを介して或る程度の大きさの電流(例えば数百マイクロアンペアから数十ミリアンペア)が流れつづける。その結果、図8(b)に示すような入力信号DO1が第 $x+1$ 段インバータの出力部からバッファの入力部に与えられると、GNDよりも高い電位レベルとVDDとの間を振幅する出力信号DO2がバッファの出力部に現れることになる。本実施形態では、このような出力信号DO2を、制御信号のひとつとして、バッファから対応する画素内の転送ゲート4およびリセットトランジスタ7のゲート電極に伝達する。その結果、電荷蓄積モードにおいても図7に示すような電位ポテンシャルが半導体基板表面に形成され、それによってブルーミングが抑制される。

【0044】バッファ内のP型MOSトランジスタだけをデプレッション型にするためには、例えば、このP型MOSトランジスタとして埋め込み型構造を有するトランジスタを作成しても良し、また、このP型MOSトランジスタのチャネル領域に対して適当な不純物を選択的にドーピングしても良い。

【0045】(第2実施形態)図9(a)および(b)を参照しながら、本発明による固体撮像装置の第2の実施形態を説明する。図9(a)は、行選択回路の i 行の選択に関する主要部の構成を示している。ここでも、 i は1以上 N 以下の任意の整数であり、 N は2以上の整数とする。

【0046】本実施形態のバッファも、P型MOSトランジスタとN型MOSトランジスタとを有しており、P型MOSトランジスタのゲート電極とN型MOSトランジスタのゲート電極とは共通に接続され、バッファの入力部として機能する。一方、P型MOSトランジスタのドレインとN型MOSトランジスタのドレインとは共通に接続され、バッファの出力部として機能する。バッファの出力部は、撮像部10内の対応する行に含まれる画素に対して必要な制御信号を供給する。また、第 $x+1$ 段インバータは、前述の実施形態と同様の構成を有している。

【0047】本実施形態では、バッファのP型MOSトランジスタは他のMOSトランジスタと同様にエンハンスメント型である。本実施形態に特徴的な点は、 $VDD1 > VDD$ および $VSS1 = VSS = GND$ としている点にある。 $VDD1$ は VDD に対して、バッファ部のP型MOSトランジスタのしきい値の絶対値以上の大きさを持つものとする。例えば、 $VDD = 3.3$ ボルト、P型MOSトランジスタのしきい値 $= -0.6$ ボルトの場合、 $VDD1 > 3.9$ ボルトと設定する。こうしてバッファのP型MOSトランジスタに与えられる電源の電位 $VDD1$ が前段インバータに与えられる電源の電位 VD

Dよりも大きい場合、本来、P型MOSトランジスタを非導通状態にするレベルにある入力信号がバッファの入力部に印加されていても、バッファ部のP型MOSトランジスタがON状態になり、或る程度の大きさの電流が流れつづける。その結果、図9(b)に示すような入力信号DO1が第 $x+1$ 段インバータの出力部からバッファの入力部に与えられると、GNDよりも高いレベルと $VDD1 (> VDD)$ との間を大きく振幅する出力信号DO2がバッファの出力部に現れることになる。このような出力信号DO2をバッファから対応する画素内の転送ゲート4およびリセットトランジスタ7のゲート電極に伝達すれば、電荷蓄積モードにおいても図7に示すような電位ポテンシャルが半導体基板表面に形成され、その結果、電荷蓄積モードでのブルーミングが抑制される。また、信号読み出しモードにおいて、リセットトランジスタ7および転送ゲート4を導通状態にするためにそれらのゲート電極に与えられる制御信号レベルが高くなるという利点ももたらさせる。

【0048】図12は、出力信号DO2が $VDD1$ のレベルに依存してどのように変化するかを示している。

「VH」は出力信号DO2の高い方のレベルを示し、

「VL」は出力信号DO2の低い方のレベルを示している。

バッファの出力信号DO2のうち高い方のレベル

「VH」を示す信号は、制御信号RSiおよびTRiとして、それぞれ、所定のタイミングでリセットトランジスタのゲート電極および転送ゲートのゲート電極に与えられる。それ以外のタイミング期間中は、出力信号DO2の低い方のレベル「VL」を持つ信号がリセットトランジスタのゲート電極および転送ゲートのゲート電極に印加され、リセットトランジスタおよび転送ゲートを僅かながら電流が流れ続けることになる。

【0049】(第3実施形態)図10(a)および(b)を参照しながら、本発明による固体撮像装置の第3の実施形態を説明する。図10(a)は、行選択回路の i 行の選択に関する主要部の構成を示している。ここでも、 i は1以上 N 以下の任意の整数であり、 N は2以上の整数とする。

【0050】本実施形態のバッファおよび第 $x+1$ 段インバータは、前述の第2の実施形態と同様の構成を有している。本実施形態に特徴的な点は、 $VDD1 = VD$ 、 $VSS1 > VSS = GND$ としている点にある。その結果、図10(b)に示すような入力信号DO1が第 $x+1$ 段インバータの出力部からバッファの入力部に与えられると、GNDよりも高いレベルと VDD との間を振幅する出力信号DO2がバッファの出力部に現れることになる。このような出力信号DO2をバッファから対応する画素内の転送ゲート4およびリセットトランジスタ7のゲート電極に伝達すれば、電荷蓄積モードにおいても図7に示すような電位ポテンシャルが半導体基板表面に形成され、その結果、電荷蓄積モードでのブルーミ

10

20

30

40

50

ングが抑制される。

【0051】(第4実施形態)図9(a)および図11を参照しながら、本発明による固体撮像装置の第4の実施形態を説明する。本実施形態のバッファおよび第 $x+1$ 段インバータは、第2の実施形態と同様の構成を有している。

【0052】本実施形態では、図11に示すように、所定の期間、 $VDD1 = VDD$ および $VSS1 = VSS = GND$ とし、それ以外の期間、 $VDD1 > VDD$ および $VSS1 = VSS = GND$ となるように、 $VDD1$ の電位レベルをパルス状に変化させる。こうすることによって、P型MOSトランジスタを非導通状態にするレベルにある入力信号がバッファの入力部に印加されている間の比較的短い一定期間(例えば、水平ブランキング期間)だけ、P型MOSトランジスタを或る程度の大きさの電流(例えば、数百マイクロアンペア〜数十ミリアンペア)が流れる。その結果、図11に示すような入力信号DO1が第 $x+1$ 段インバータの出力部からバッファの入力部に与えられると、GNDよりも高いレベルと $VDD1 (> VDD)$ との間を振幅する出力信号DO2がバッファの出力部に現れることになる。このような出力信号DO2をバッファから対応する画素内の転送ゲート4およびリセットトランジスタ7のゲート電極に伝達すれば、電荷蓄積モードにおいても図7に示すような電位ポテンシャルが半導体基板表面に形成され、その結果、電荷蓄積モードでのブルーミングが抑制される。また、信号読み出しモードにおいて、リセットトランジスタ7および転送ゲート4を導通状態にするためにそれらのゲート電極に与えられる制御信号レベルが高くなるという利点ももたらさせる。更に、本実施形態では、第1および第3の実施形態に比較して、消費電力が低減される。 $VDD1 > VDD$ の関係が成立する期間が限定されているためである。

【0053】図13は、行選択エンコーダ41とバッファ回路42の構成例を示す。

【0054】バッファ回路42は一行につき3個の最終段インバータ15a、15bおよび15cを含んでおり、3個の最終段インバータ15a〜15cから、それぞれ、3種類の制御信号(選択信号SLi、リセット信号RSiおよび転送信号TRi)が出力される。行選択エンコーダ41は、複数のインバータから構成された2入力NAND14a、14bおよび14cを有している。2入力NAND14a〜14cは、ひとつの行に3個配列されており、対応する最終段インバータ15a〜15cに接続されている。

【0055】行選択エンコーダ41にはシフトレジスタ11が含まれており、シフトレジスタ11はクロックCLKおよびスタートパルスSINを受け取る。シフトレジスタ11の動作はクロックCLKに同期する。シフトレジスタ11のi行部分から論理「High」の信号が

出力されるときi行が選択される。シフトレジスタ11のi行部分から出力された信号は、i行に属する3つの2入力NAND14a〜14cの各々の一入力端子に送られる。3つの2入力NAND14a〜14cの各々の他の入力端子は、それぞれ、選択同期信号CSL、リセット同期信号CRSおよび転送同期信号CTRを受け取る。

【0056】シフトレジスタ11のi行部分から論理「High」の信号が出力されている間に、選択同期信号CSLが論理「High」となると、2入力NAND14aの出力が最終段インバータ15aを介して、選択信号SLiとして出力される。また、シフトレジスタのi行部分から論理「High」の信号が出力されている間に、リセット同期信号CRSが論理「High」となると、2入力NAND14bの出力がインバータ15bを介して、リセット信号RSiとして出力される。更に、シフトレジスタのi行部分から論理「High」の信号が出力されている間に、転送同期信号CTRが論理「High」となると、2入力NAND14cの出力がインバータ15cを介して、転送信号TRiとして出力される。

【0057】図14を参照しながら、上記各信号の動作タイミングを説明する。

【0058】まず、時刻t1において、クロックCLK、選択同期信号CSL、リセット同期信号CRSおよび転送同期信号CTRは、何れも、論理「Low」状態にある。このとき、選択信号SLi、リセット信号RSiおよび転送信号TRiも、論理「Low」状態にある。このため、スイッチングトランジスタ6b、リセットトランジスタ7および転送ゲート4は非導通(OF)状態であり、図3に示される信号蓄積モードにある。ただし、本発明の第1の実施形態から第3の実施形態によれば、バッファからの出力は、論理「Low」状態にあっても、その電位レベルVLが正方向にバイアスされている(図8(b)、図9(b)、および図10(b))。

【0059】時刻t2において、クロックCLK、選択同期信号CSLおよびリセット同期信号CRSは、何れも、論理「High」状態に変化しているが、転送同期信号CTRは論理「Low」状態のままである。このとき、選択信号SLiおよびリセット信号RSiは論理「High」状態に変化しているが、転送信号TRiは論理「Low」状態のままである。このため、スイッチングトランジスタ6bおよびリセットトランジスタ7は導通(ON)状態にあるが、転送ゲート4は非導通(OF)状態のままである。図4に示される検出部リセットモードに相当する。

【0060】時刻t3において、クロックCLK、選択同期信号CSLおよび同期信号CTRは、何れも、論理「High」状態であるが、リセット同期信号CRS転

送は論理「Low」状態に変化している。このとき、選択信号SLiおよび転送信号TRiは論理「High」状態にあるが、リセット信号RSiは論理「Low」状態にある。このため、スイッチングトランジスタ6bおよび転送ゲート4は導通(ON)状態にあるが、リセットトランジスタ7は非導通(OFF)状態のままである。図5に示される信号読み出しモードに相当する。

【0061】時刻t4において、クロックCLK、選択同期信号CSL、リセット同期信号CRSおよび転送同期信号CTRは、何れも、論理「Low」状態にある。このとき、選択信号SLi、リセット信号RSiおよび転送信号TRiも、論理「Low」状態にある。このため、スイッチングトランジスタ6b、リセットトランジスタ7および転送ゲート4は非導通(OFF)状態である。しかし、リセット信号RSiおよび転送信号TRiが正側にバイアスされているため、図7に示されるように、リセットトランジスタ7および転送ゲート4のチャネルのポテンシャルが低下し、光電変換素子3で過剰に生成された電荷は隣接する他の画素にオーバーフローすることなく、転送ゲート4およびリセットトランジスタ7を介して、第1の電源側に流れる。このため、ブルーミングの発生が防止される。

【0062】上記信号のタイミングは第1から第3の実施形態について当てはまる。次に、図15を参照しながら、第4の実施形態について、信号動作のタイミングを説明する。

【0063】まず、時刻t1においては、クロックCLK、選択同期信号CSL、リセット同期信号CRSおよび転送同期信号CTRは、何れも、論理「Low」状態にある。このとき、選択信号SLi、リセット信号RSiおよび転送信号TRiも、論理「Low」状態にある。このため、スイッチングトランジスタ6b、リセットトランジスタ7および転送ゲート4は非導通(OFF)状態であり、図3に示される信号蓄積モードにある。ただし、本発明の第1の実施形態から第3の実施形態によれば、バッファからの出力は、論理「Low」状態にあっても、その電位レベルVLが正方向にバイアスされている(図8(b)、図9(b)、および図10(b))。

【0064】時刻t2において、クロックCLK、選択同期信号CSLおよびリセット同期信号CRSは、何れも、論理「High」状態に変化しているが、転送同期信号CTRは論理「Low」状態のままである。このとき、選択信号SLiおよびリセット信号RSiは論理「High」状態に変化しているが、転送信号TRiは論理「Low」状態のままである。選択同期信号CSLと同じタイミングで、VDD1の電位がVDDよりも大きくなっている。スイッチングトランジスタ6bおよびリセットトランジスタ7は導通(ON)状態にある。リセットトランジスタ7のゲート電極にはVDDよりも大

きなVDD1の電位が与えられている。転送ゲート4は非導通(OFF)状態のままであるが、制御ゲート4のゲート電極に与えられる信号はバイアスされている。

【0065】時刻t3において、クロックCLK、選択同期信号CSLおよび同期信号CTRは、何れも、論理「High」状態であるが、リセット同期信号CRS転送は論理「Low」状態に変化している。このとき、選択信号SLiおよび転送信号TRiは論理「High」状態にあるが、リセット信号RSiは論理「Low」状態にある。このため、スイッチングトランジスタ6bおよび転送ゲート4は導通(ON)状態にあるが、リセットトランジスタ7は非導通(OFF)状態のままである。リセットトランジスタ7は非導通(OFF)状態のままであるが、リセットトランジスタ7のゲート電極に与えられる信号はバイアスされている。時刻t4において、クロックCLK、選択同期信号CSL、リセット同期信号CRSおよび転送同期信号CTRは、何れも、論理「Low」状態にある。このとき、選択信号SLi、リセット信号RSiおよび転送信号TRiも、論理「Low」状態にある。このため、スイッチングトランジスタ6b、リセットトランジスタ7および転送ゲート4は非導通(OFF)状態である。しかも、リセット信号RSiおよび転送信号TRiが正側にバイアスされていないため、インバータを電流が流れず、消費電力の増大が抑制される。

【0066】第4の実施形態によれば、一定期間(例えば、一水平ブランキング期間)、リセット信号RSiおよび転送信号TRiが正側にバイアスされているため、その期間は、図7に示されるように、リセットトランジスタ7および転送ゲート4のチャネルのポテンシャルが低下し、光電変換素子3で過剰に生成された電荷は隣接する他の画素にオーバーフローすることなく、転送ゲート4およびリセットトランジスタ7を介して、第1の電源側に流れる。このため、ブルーミングの発生が抑制される。

【0067】上記各実施形態では、各画素1が転送ゲート4を有している。以下、各画素が転送ゲートを有していない実施形態を説明する。

【0068】図16は、各画素の構成を示している。図16に示されるように、光を電荷に変換するとともに、その電荷を蓄積することのできる光電変換素子3を有している。光電変換素子3は、例えばフォトダイオードから構成される。各画素は、更に、光電変換素子3の電位変化を検知するための増幅素子としてゲート電極が光電変換素子3に接続されたMOS型トランジスタ6aを有している。このMOS型トランジスタ6aのドレインは、第1の電源(Vdd)に接続されており、そのソースは画素内のスイッチングトランジスタ6bを介して垂直信号出力線8に電気的に接続される。MOS型トランジスタ6aの電流駆動力は、そのゲート電極の電位、す

なちわ、光電変換素子3の電位に依存する。スイッチングトランジスタ6bのゲート電極は制御信号(SLi)を受け取り、スイッチングトランジスタ6bは、その制御信号SLiにตอบสนองして開閉する。スイッチングトランジスタ6bが電氣的に導通しているとき、第1の電源からMOS型トランジスタ6a、スイッチングトランジスタ6bおよび垂直信号出力線8を介して、不図示の負荷素子(例えば、ロードトランジスタ)に電流が流れる。本実施形態では、MOS型トランジスタ6aおよび負荷素子によってソースフォロワー回路(SFC)が形成されるため、光電変換素子3の電位に応じた大きさの信号電位が垂直信号出力線8上に現れることになる。この信号電位が選択列駆動部22の働きによって画素信号として出力される。

【0069】各画素は、更に、第1の電源と光電変換素子3との間に挿入され、そのゲート電極に受けたリセット信号にตอบสนองして検出部5の電位を第1の電源の電位レベルまたはそれに近い電位レベルに強制的に復帰させるリセットトランジスタ7を有している。リセットトランジスタ7が電氣的に導通すると、それまで光電変換素子3に保持されていた電荷はリセットトランジスタ7を介して第1の電源に流出する。その結果、光電変換素子3の電位状態は初期のレベルに復帰させられる。

【0070】図17は、図16の画素を備えた装置のための行選択回路の主要部を示している。

【0071】バッファ回路42は一行につき2個の最終段インバータ15aおよび15bを含んでおり、2個の最終段インバータ15aおよび15bから、それぞれ、2種類の制御信号(選択信号SLiおよびリセット信号RSi)が出力される。行選択エンコーダ41は、複数のインバータから構成された2入力NAND14aおよび14bを有している。2入力NAND14aおよび14bは、ひとつの行に2個配列されており、それぞれ、対応する最終段インバータ15aおよび15bに接続されている。

【0072】行選択エンコーダ41にはシフトレジスタ11が含まれており、シフトレジスタ11はクロックCLKおよびスタートパルスSINを受け取る。シフトレジスタ11の動作はクロックCLKに同期する。シフトレジスタ11のi行部分から論理「High」の信号が出力されるときi行が選択される。シフトレジスタ11のi行部分から出力された信号は、i行に属する2つの2入力NAND14aおよび14bの各々の一入力端子に送られる。2つの2入力NAND14aおよび14bの各々の他の入力端子は、それぞれ、選択同期信号CSLおよびリセット同期信号CRSを受け取る。

【0073】シフトレジスタ11のi行部分から論理「High」の信号が出力されている間に、選択同期信号CSLが論理「High」となると、2入力NAND14aの出力がインバータ15aを介して、選択信号S

Liとして出力される。また、シフトレジスタ11のi行部分から論理「High」の信号が出力されている間に、リセット同期信号CRSが論理「High」となると、2入力NAND14bの出力がインバータ15bを介して、リセット信号RSiとして出力される。

【0074】このような構成を持つ装置についても、第1から第4の実施形態について説明してきた動作と類似の動作によって、類似の効果が発揮される。この実施形態では、転送ゲートが存在しないため、光電変換素子3で生成された過剰な電荷はリセットトランジスタ7を介して第1の電源VDDに流れ出す。そのため、隣接する他の画素に電荷がオーバーフローすることが防止または抑制され、ブルーミングの発生が抑制される。

【0075】

【発明の効果】本発明によれば、光電変換素子で生成された過剰な電荷をリセットトランジスタ等を介して第1の電源VDD側に流れ出させることができる。そのため、ある画素の電荷が隣接する他の画素にオーバーフローすることを防止または抑制し、ブルーミングの発生を抑制することができる。

【図面の簡単な説明】

【図1】本発明による固体撮像装置の概略構成図である。

【図2】本発明による固体撮像装置の実施形態における画素の内部構成を示す回路図である。

【図3】信号蓄積モードにおける画素内特定領域の表面ポテンシャルおよび蓄積電荷を模式的に示す図である。

【図4】検出部分リセットモードにおける画素内特定領域の表面ポテンシャルおよび蓄積電荷を模式的に示す図である。

【図5】信号読み出しモードにおける画素内特定領域の表面ポテンシャルおよび蓄積電荷を模式的に示す図である。

【図6】ブルーミング状態における画素内特定領域の表面ポテンシャルおよび蓄積電荷を模式的に示す図である。

【図7】ブルーミングが抑制されている状態における画素内特定領域の表面ポテンシャルおよび蓄積電荷を模式的に示す図である。

【図8】(a)は本発明による固体撮像装置の第1の実施形態における行選択回路のi行の選択に関する主要部の構成を示す回路図であり、(b)はその行選択回路の第x+1段インバータからバッファの入力部に与えられる入力信号DO1と、バッファの出力部から出力される出力信号DO2とを示す波形図である。

【図9】(a)は本発明による固体撮像装置の第2の実施形態における行選択回路のi行の選択に関する主要部の構成を示す回路図であり、(b)はその行選択回路の第x+1段インバータからバッファの入力部に与えられる入力信号DO1と、バッファの出力部から出力される

出力信号DO2とを示す波形図である。

【図10】(a)は本発明による固体撮像装置の第3の実施形態における行選択回路のi行の選択に関する主要部の構成を示す回路図であり、(b)はその行選択回路の第x+1段インバータからバッファの入力部に与えられる入力信号DO1と、バッファの出力部から出力される出力信号DO2とを示す波形図である。

【図11】本発明による固体撮像装置の第4の実施形態における行選択回路の第x+1段インバータからバッファの入力部に与えられる入力信号DO1と、バッファの出力部から出力される出力信号DO2とを示す波形図である。

【図12】本発明による固体撮像装置の第2の実施形態における行選択回路から出力される出力信号(RSiおよびTRi)が入力信号DO1に依存してどのように変化するかを示すグラフである。

【図13】本発明による固体撮像装置に好適に使用される行選択回路のi行の選択に関する主要部の内部構成例を示す回路図である。

【図14】図13の行選択回路に入力されるクロックCLK、選択同期信号CSL、リセット同期信号CRSおよび転送同期信号CTRの各波形と、その行選択回路から出力される選択信号SLi、リセット信号RSiおよび転送信号TRiの各波形を示すタイミングチャートである。

【図15】本発明による固体撮像装置の第4の実施形態において、図13の行選択回路に入力されるクロックC

LK、選択同期信号CSL、リセット同期信号CRSおよび転送同期信号CTRの各波形と、その行選択回路から出力される選択信号SLi、リセット信号RSiおよび転送信号TRiの各波形を示すタイミングチャートである。

【図16】各画素が転送ゲートを有していない実施形態における画素の構成を示す回路図である。

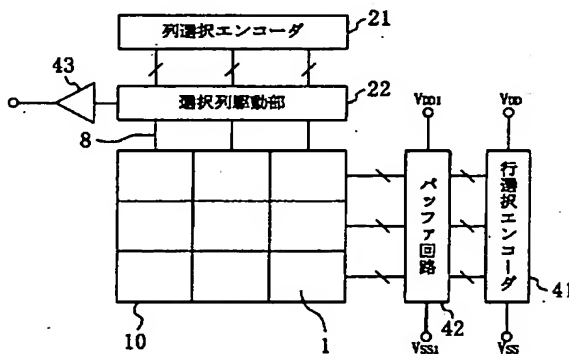
【図17】図16の画素を備えた固体撮像装置のための行選択回路の主要部を示す回路図である。

【図18】(a)は、画素内のフォトダイオードやトランジスタが形成されている半導体表面近傍を模式的に示す断面図、(b)は、その電位分布を示す模式図である。

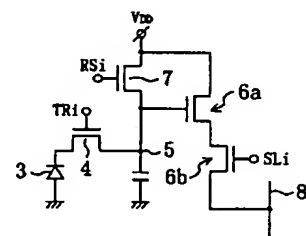
【符号の説明】

- 1 画素
- 3 光電変換素子
- 4 転送ゲート
- 5 検出部
- 6a MOS型トランジスタ
- 6b スイッチングトランジスタ
- 7 リセットトランジスタ
- 8 垂直信号出力線
- 10 撮像部
- 21 列選択エンコーダ
- 22 選択列駆動部
- 41 行選択エンコーダ
- 42 バッファ

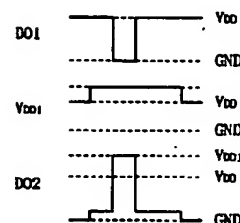
【図1】



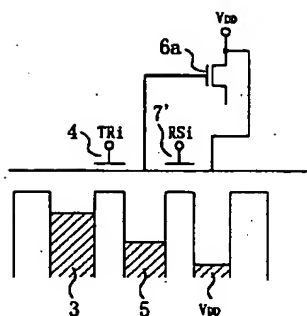
【図2】



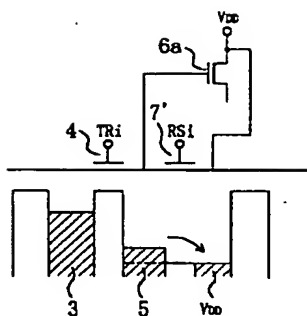
【図11】



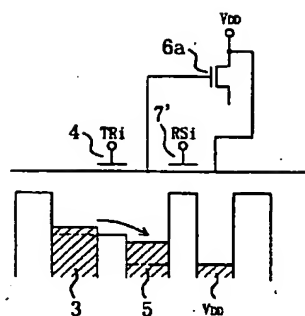
【図3】



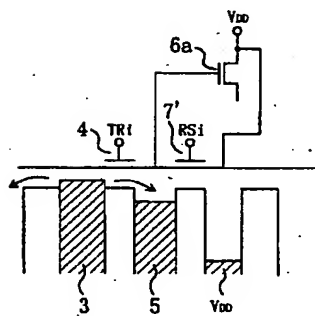
【図4】



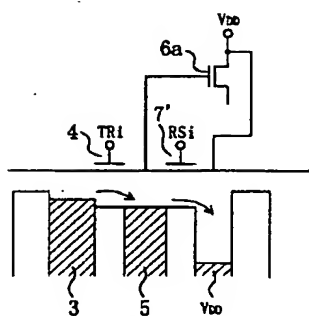
【図5】



【図6】

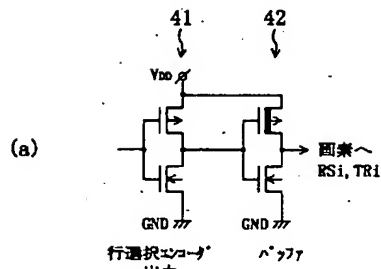


【図7】

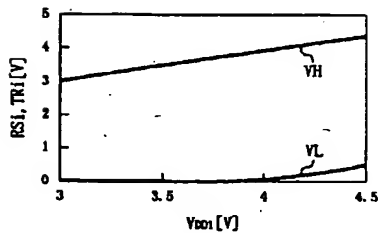


TR1: OFF (Bias),
RSi: OFF (Bias)

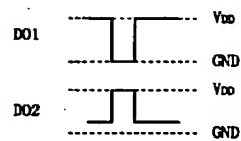
【図8】



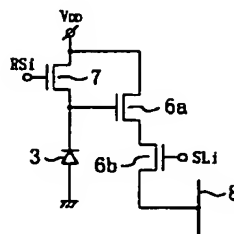
【図12】



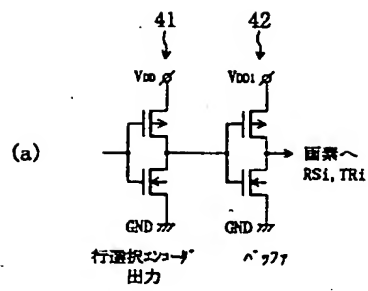
(b)



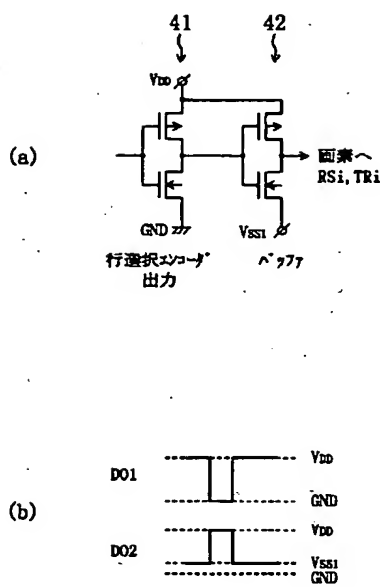
【図16】



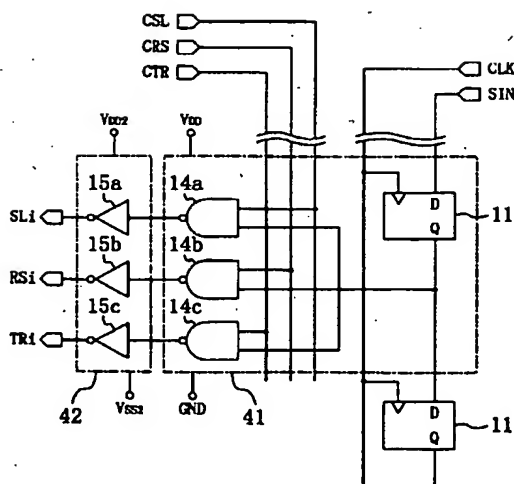
【図9】



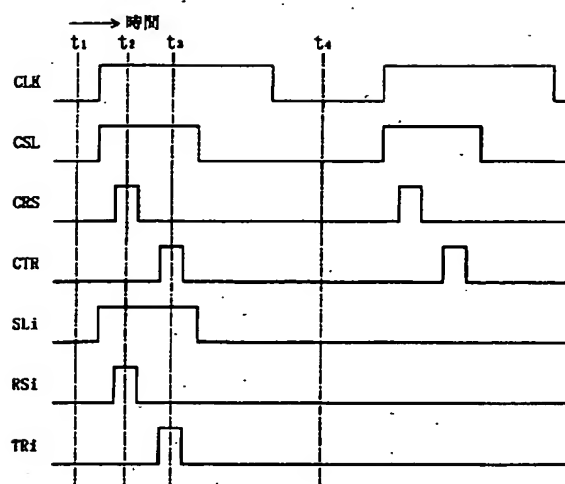
【図10】



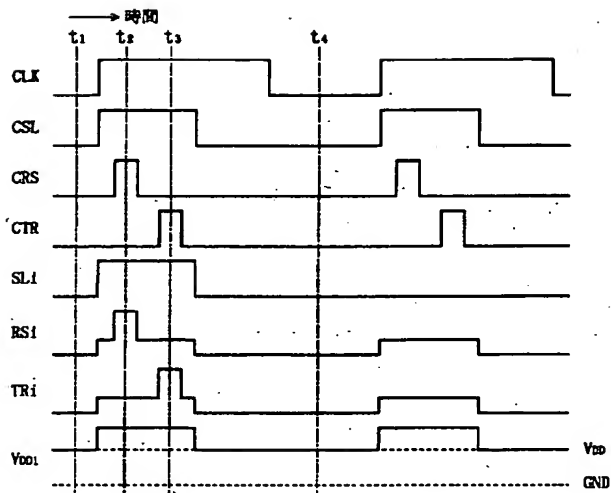
【図13】



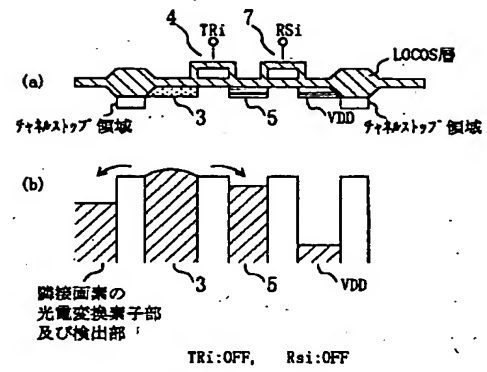
【図14】



【図15】



【図18】



【図17】

